

PAT-NO: JP404279064A

DOCUMENT-IDENTIFIER: JP 04279064 A

TITLE: DISPLAY DEVICE

PUBN-DATE: October 5, 1992

INVENTOR-INFORMATION:

NAME

UEDA, TORU

ASSIGNEE-INFORMATION:

NAME

SHARP CORP

COUNTRY

N/A

APPL-NO: JP03042077

APPL-DATE: March 7, 1991

INT-CL (IPC): H01L029/784, G02F001/136 , H01L027/12

US-CL-CURRENT: 257/72, 257/350 , 257/408

ABSTRACT:

PURPOSE: To reduce the leakage current of the TFT of the displaying section of a driver monolithic type display device and, at the same time, to improve the mobility of carriers in the channel layer of an TFT in the driver circuit for driving of the display device.

CONSTITUTION: The TFT 15 of a displaying section and the TFT 16 in a driver circuit for driving are manufactured in different processes. The occurrence of leakage currents in the TFT 15 of the displaying section is reduced by setting the layer thickness of a channel layer 9 in the TFT 15 at a small value and, at the same time, the mobility of carriers in the channel layer 9b of the TFT 16 in the driver circuit for driving is improved by increasing the layer thickness of the layer 9b.

COPYRIGHT: (C)1992,JPO&Japio

DERWENT-ACC-NO: 1992-377978

DERWENT-WEEK: 199246

COPYRIGHT 2005 DERWENT INFORMATION LTD

TITLE: Monolithic type display device driver e.g. for LCD -
reduces leak current of TFT and produces TFT of display
and driver circuit in different processes NoAbstract

PATENT-ASSIGNEE: SHARP KK[SHAF]

PRIORITY-DATA: 1991JP-0042077 (March 7, 1991)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
<u>JP 04279064 A</u>	October 5, 1992	N/A	005	H01L 029/784

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 04279064A	N/A	1991JP-0042077	March 7, 1991

INT-CL (IPC): G02F001/136, H01L027/12 , H01L029/784

ABSTRACTED-PUB-NO: JP 04279064A

EQUIVALENT-ABSTRACTS:

CHOSEN-DRAWING: Dwg.1/10

TITLE-TERMS: MONOLITHIC TYPE DISPLAY DEVICE DRIVE LCD REDUCE LEAK CURRENT TFT
PRODUCE TFT DISPLAY DRIVE CIRCUIT PROCESS NOABSTRACT

DERWENT-CLASS: P81 U14

EPI-CODES: U14-H01A; U14-K01A2B; U14-K01A3;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1992-288212

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-279064

(43) 公開日 平成4年(1992)10月5日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/784				
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 27/12	A	8728-4M		
		9056-4M	H 0 1 L 29/78	3 1 1 C

審査請求 未請求 請求項の数1(全 5 頁)

(21) 出願番号 特願平3-42077

(22) 出願日 平成3年(1991)3月7日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 上田 徹

大阪市阿倍野区長池町22番22号 シャープ
株式会社内

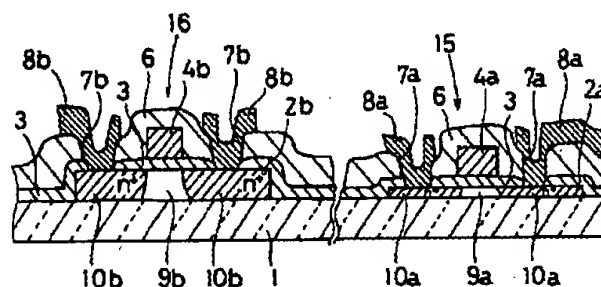
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 表示装置

(57) 【要約】

【目的】 ドライバモノリシック型表示装置に於いて、表示部のTFTのリーク電流を低減すると共に、駆動用ドライバ回路内のTFTのチャネル層のキャリアの移動度を高めることである。

【構成】 表示部のTFT 15と駆動用ドライバ回路内のTFT 16とを異なる工程で作製する。表示部のTFT 15のチャネル層9aの層厚を小さく設定し、リーク電流を低減すると共に、駆動用ドライバ回路内のTFT 16のチャネル層9bの層厚を大きく設定して、キャリアの移動度を高める。



【特許請求の範囲】

【請求項1】 一対の絶縁性基板と、該一対の基板の一方に形成された絵素電極と、駆動用ドライバ回路と、該絵素電極に接続された第1薄膜トランジスタと、駆動用ドライバ回路を構成する第2薄膜トランジスタと、を有する表示装置であって、該1薄膜トランジスタのチャンネル層の層厚が、該第2薄膜トランジスタのチャンネル層の層厚より小さく設定されている表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、液晶等の表示媒体を用い、薄膜トランジスタ（以下では「TFT」と称する）をスイッチング素子として用いた表示装置に関する。

【0002】

【従来の技術】 従来より、液晶表示装置にはドライバモノリシック型のTFT基板が用いられている。ドライバモノリシック型TFT基板の一例を、図8に模式的に示す。このドライバモノリシック型TFT基板20では、絵素電極21、TFT22等からなる表示部23と、該表示部23を駆動するための駆動用ドライバ回路25、25とが同一基板上に形成されている。駆動用ドライバ回路25には、表示部23を駆動するためのTFT（図示せず）が設けられている。従来より駆動用ドライバ回路25内のTFTには、表示部23のTFT22と同じ構成のものが用いられている。このようなTFT22及び駆動用ドライバ回路25内のTFTは、例えば図9に示す構成を有している。絶縁性基板1上に形成された多結晶シリコン層等の半導体層2の一部に、チャンネル層9と高不純物濃度領域（N⁺領域）10、10とが形成されている。チャンネル層9の上方にはゲート絶縁膜3を挟んでゲート電極4が設けられている。ゲート電極4及びゲート絶縁膜3上には層間絶縁膜6が形成され、高不純物濃度領域10、10上のゲート絶縁膜3及び層間絶縁膜6を貫いてコンタクトホール7、7がそれぞれ形成されている。高不純物濃度領域10、10には電極8、8がそれぞれコンタクトホール7、7を介して電気的に接続されている。

【0003】 このようなドライバモノリシック型TFT基板の表示部23のTFT22には、絵素電極21に充電された電荷を1フレームの間保持する必要があるため、低リーク電流特性が要求される。また、一定の時間内に絵素電極21に保持されていた電荷を放電させる必要があるため、ある程度以上の大きさのオン電流を確保する必要がある。一方、駆動用ドライバ回路25内のTFTには、表示の高速化への対応の必要性から、チャンネル層9のキャリアの移動度が高いことが要求されている。キャリアの移動度の高いチャンネル層9を得るためには、チャンネル層9の層厚がある程度以上の大きさを有することが必要となる。例えば、多結晶シリコンの場合、高移動度のチャンネル層9を得るには、結晶粒を大きくす

ることが必要であり、そのためには約100nmの層厚が必要となる。ところが、チャンネル層をこの程度の層厚とするとリーク電流が大きくなり、表示部23のTFT22として用いるには適切ではなくなる。

【0004】 このような問題点を解決するために、表示部23のTFT22には図10又は図11に示す構造のものが適している。図10のTFTは、いわゆるデュアルゲート構造と呼ばれるもので、ゲート電極4は2つのゲート電極4a及び4bからなる。リーク電流は、図9のDで示す2つのドレイン接合に於ける電界集中が原因で生じるが、図10の構造ではソース・ドレイン間の電界が、4つのドレイン接合に分割されるため、リーク電流が低減される。

【0005】 図11のTFTはいわゆるLDD（Lightly Diffused Drain）構造と呼ばれるもので、ドレイン接合に於ける不純物分布をなだらかにして電界集中を緩和し、リーク電流の低減を図っている。

【0006】

【発明が解決しようとする課題】 図10のデュアルゲート構造のTFTでは、ゲート電極4が2つのゲート電極部4a、4bに分割されているため、TFTの占める面積を小さくすることができず、表示部に占めるTFTの面積の縮小化への要求に応えることができない。また、リーク電流の低減の効果が必ずしも十分ではない。

【0007】 LDD構造のTFTでは、リーク電流の低減効果は十分現れているが、オン電流も減少してしまうという問題点がある。また、レジストマスクを用いて高不純物濃度領域10、10を形成するため、図11に示すように、高不純物濃度領域10、10のそれぞれの長さL1とL2が等しくならず、TFTの特性が非対象となる。更に、デュアルゲート構造のTFTと同様に、TFTの占める面積を小さくすることができないという問題点もある。前述のように、従来のドライバモノリシック型のTFT基板では、表示部のTFTと駆動用ドライバ回路内のTFTとが同時に形成されるため、これらのTFTに要求される特性を同時に満足させることはできなかった。

【0008】 本発明はこのような問題点を解決するものであり、本発明の目的は、表示部のTFTに要求される特性と、駆動用ドライバ回路内のTFTに要求される特性とを同時に満足させた表示装置を提供することである。

【0009】

【課題を解決するための手段】 本発明の表示装置は、一対の絶縁性基板と、該一対の基板の一方に形成された絵素電極と、駆動用ドライバ回路と、該絵素電極に接続された第1薄膜トランジスタと、駆動用ドライバ回路を構成する第2薄膜トランジスタと、を有する表示装置であって、該1薄膜トランジスタのチャンネル層の層厚が、該第2薄膜トランジスタのチャンネル層の層厚より小さく設

定されており、そのことによって上記目的が達成される。

【0010】

【作用】TFTのリーク電流は、チャネル層の層厚を薄くすることによって低減することができる。即ち、チャネル層の層厚を小さくすればドレイン接合部の面積が小さくなり、リーク電流が低下する。本発明では、表示部の絵素電極に接続されているTFTのチャネル層の層厚を小さくすることにより、表示部のTFTのリーク電流が低減される。また、駆動用ドライバ回路内のTFTのチャネル層の層厚を大きくすることにより、チャネル層のキャリア移動度を高めることができる。

【0011】

【実施例】本発明の実施例について以下に説明する。図1に本発明の表示装置を構成するTFT基板の断面図を示す。また、図2及び図3に図1のTFT基板の製造工程を示す。図1に於て、第1TFT15は表示部に設けられ、第2TFT16は駆動用ドライバ回路に設けられる。TFT15のチャネル層9aの層厚は、TFT16のチャネル層9bの層厚よりも小さく設定されている。

【0012】このTFT基板を製造工程に従って説明する。まず、石英等の絶縁性基板1上にアモルファスシリコンが、CVD法を用いて100nmの厚さに堆積される。このアモルファスシリコン層を、例えば600℃、約48時間アニールすることにより多結晶シリコン層が得られる。アモルファスシリコン層の層厚が小さいと、得られる多結晶シリコンの結晶粒は小さくなるので、高いキャリア移動度の多結晶シリコンを得るには少なくとも50nmの層厚がアモルファスシリコン層には必要とされる。この多結晶シリコン層がホトリソグラフィ法及びドライエッチング法によってパターンニングされ、半導体層2、2が形成される(図2)。

【0013】次に、駆動用ドライバ回路内の第2TFT16の半導体層2上にレジストが形成され、表示部の第1TFT15の半導体層2をエッチングすることにより、層厚の小さい半導体層2aが得られる。半導体層2aの層厚は、例えば、約40nmである。その後、レジスト5は除去される。

【0014】次に、シリコン酸化物からなるゲート絶縁膜3が、CVD法によって基板1上の全面に100nmの厚さに形成される。更にゲート絶縁膜3上に、TFT

15及び16のそれぞれのゲート電極4a、4bがパターン形成される。これらのゲート電極4a、4bをマスクとして、イオン注入法によってチャネル層9a、9b以外の部分に不純物がドーピングされる。これにより、TFT15のチャネル層9a、高不純物濃度領域10a、10a、並びにTFT16のチャネル層9b、高不純物濃度領域10b、10bが形成される。

【0015】次に、基板1上の全面にCVD法によってシリコン酸化物からなる層間絶縁膜6が形成される。高不純物濃度領域10a、10a及び10b、10b上の層間絶縁膜6の部分にそれぞれコンタクトホール7a、7a及び7b、7bが形成され、これらのコンタクトホールを介して、それぞれの高不純物濃度領域上に電極8a、8a及び8b、8bが電気的に接続される。

【0016】図1のTFT基板は、図4～図7に示す製造工程によって作製することもできる。図4に示すように、前述と同様に多結晶シリコンからなる半導体層2、2が形成された後、これらの半導体層2、2の上面を酸化して、シリコン酸化膜17、17が30nmの厚さに形成される。更に基板1上の全面に、LPCVD法を用いてSi₃N₄層18が120nmの厚さに堆積される(図5)。

【0017】次に、ホトリソグラフィ法及びエッチングにより、表示部上のSi₃N₄層18が除去される。次に、残された駆動用ドライバ回路上のSi₃N₄層18をマスクとして、1000℃のスチーム雰囲気中で酸化を行い、表示部のTFT15のチャネル層2aを形成した(図6)。チャネル層2aの層厚は、前述と同様に40nmである。この酸化によって生成する酸化膜19の厚さは、約120nmである。

【0018】次に、熱リン酸を用いてエッチングを行い、次いで希弗酸を用いてエッチングを行うことにより、半導体層2及び半導体層2aを露出させる(図7)。以後の工程は、前述と同様である。

【0019】本実施例の構造を有する第1TFT15及び第2TFT16の、キャリアの移動度及びリーク電流(オフ電流)の測定結果を表1に示す。表1は、ゲート電極4a及び4bの長さLが共に6μm、幅が共に20μmのn-チャネルTFTについての測定結果である。

【0020】

【表1】

TFT	チャネル層厚(nm)	移動度μ(cm ² /Vs)	リーク電流(pA)
駆動ドライバTFT	80	71	6
表示部TFT	40	31	2

【0021】表1に示すように、表示部のTFT15のチャンネル層9aの層厚は、駆動用ドライバ回路内のTFT16のチャンネル層9bの層厚より小さく設定されているので、TFT15のリーク電流をTFT16のリーク電流より小さくすることができる。また、TFT16のチャンネル層9bの層厚を大きくすることができるので、チャンネル層9b内のキャリアの移動度を上げることができる。

【0022】本実施例では、第1TFT15及び第2TFT16を図9に示す構造と同様の構造としたが、デュアルゲート構造、またはLDD構造とすることもできる。

【0023】

【発明の効果】本発明の表示装置では、表示部のTFTのチャンネル層の層厚が小さく設定されている。従って、表示部のTFTのリーク電流を小さくすることができる。また、駆動用ドライバ回路内のTFTのチャンネル層の層厚を大きくすることができるので、キャリアの移動度を上げることができる。このように、本発明によれば表示部のTFTと駆動用ドライバ回路内のTFTとのチャンネル層の層厚を別々に設定できるので、それぞれに適した特性を付与することができる。

【図面の簡単な説明】

【図1】本発明の表示装置を構成するTFT基板の断面図である。

【図2】図1のTFT基板の製造工程を示す図である。

【図3】図1のTFT基板の製造工程を示す図である。

【図4】図1のTFT基板の他の製造工程を示す図である。

【図5】図1のTFT基板の他の製造工程を示す図である。

【図6】図1のTFT基板の他の製造工程を示す図である。

【図7】図1のTFT基板の他の製造工程を示す図である。

【図8】ドライバモノリシック型TFT基板の一例を示す平面模式図である。

【図9】図8のTFT基板に形成されるTFTの断面図である。

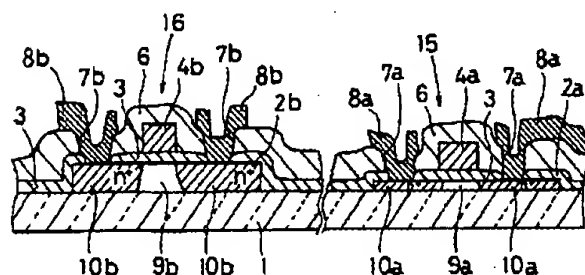
【図10】TFT基板上に形成される他のTFTの断面図である。

【図11】TFT基板上に形成される他のTFTの断面図である。

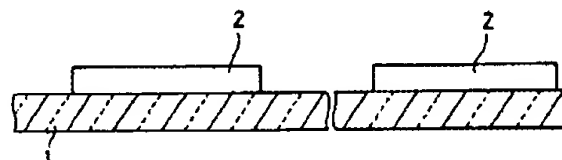
【符号の説明】

- 1 絶縁性基板
- 2, 2a, 2b 半導体層
- 3 ゲート絶縁膜
- 4a, 4b ゲート電極
- 5 レジスト
- 6 層間絶縁膜
- 7a, 7b コンタクトホール
- 8a, 8b 電極
- 9a, 9b チャンネル層
- 10a, 10b 高不純物濃度領域
- 15 表示部のTFT (第1TFT)
- 16 駆動用ドライバ回路内のTFT (第2TFT)
- 17 シリコン酸化膜
- 18 Si₃N₄層

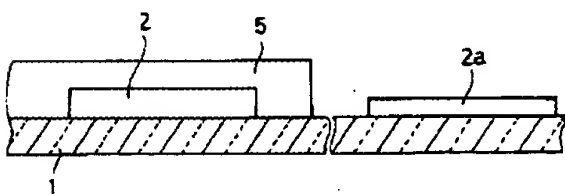
【図1】



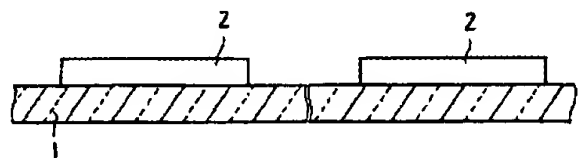
【図2】



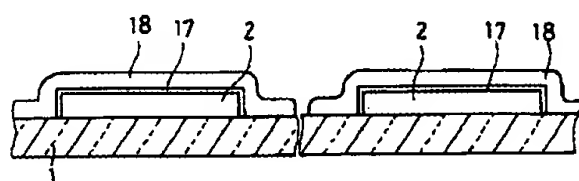
【図3】



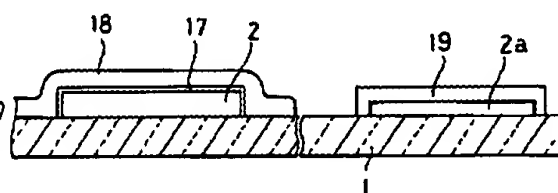
【図4】



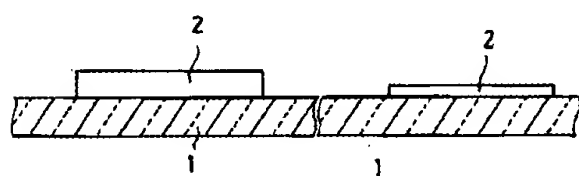
【図5】



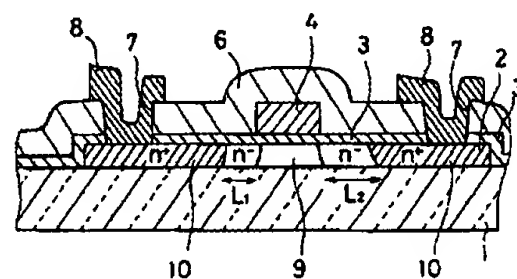
【図6】



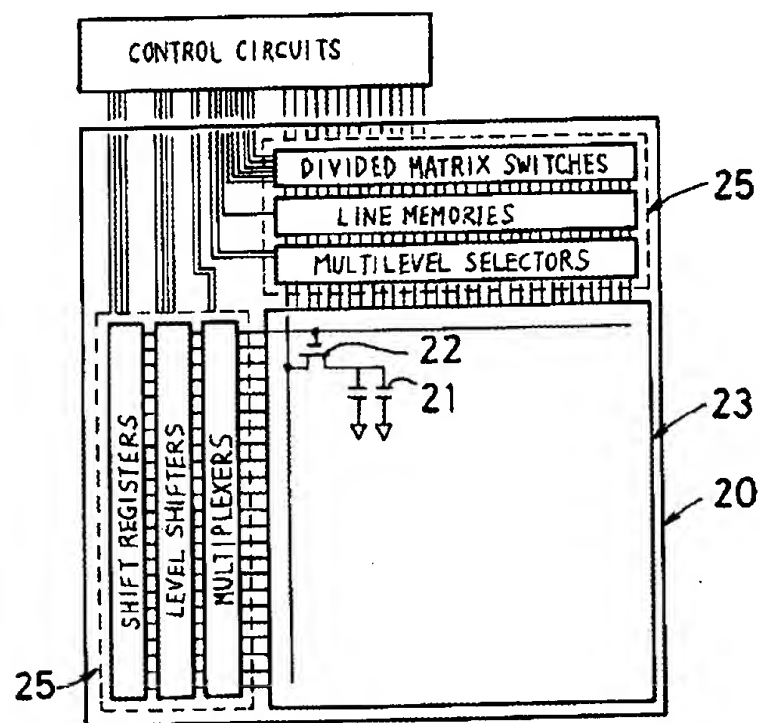
【図7】



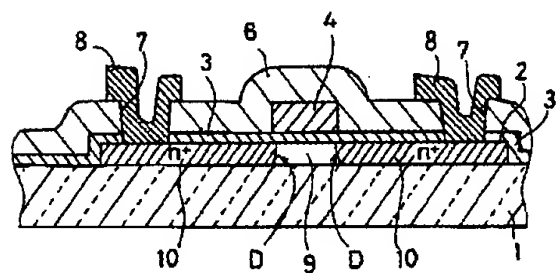
【図11】



【図8】



【図9】



【図10】

